

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-100089

⑤ Int. Cl.⁵

G 09 G 3/36

識別記号

庁内整理番号

8621-5G

⑬ 公開 平成4年(1992)4月2日

審査請求 有 請求項の数 2 (全7頁)

⑭ 発明の名称 アクティブマトリクス液晶ディスプレイの階調表示駆動回路

⑰ 特 願 平2-217070

⑱ 出 願 平2(1990)8月20日

⑲ 発 明 者 高 橋 幸 男 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 増 森 忠 昭 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

アクティブマトリクス液晶ディスプレイの
階調表示駆動回路

2. 特許請求の範囲

1. 繰り返し性のある階調基準信号をサンプリングして電圧を保持するn個のサンプルホールド回路を有して各サンプルホールド回路により上記階調基準信号を順次サンプリングしてn個の階調レベル信号を出力する階調レベル生成回路と、nビットのデジタル表示データをデコードするデコーダ回路と、該デコーダ回路の出力信号に応じて上記階調レベル信号を選択してアクティブマトリクス液晶ディスプレイのデータ線に出力するマルチプレクサ回路とを備えたことを特徴とするアクティブマトリクス液晶ディスプレイの階調表示駆動回路。

2. 請求項1記載のサンプルホールド回路を一つの階調レベル信号に対して2系統設け、選択信

号により一方の系統のサンプルホールド回路から階調レベル信号を出力している間、他方の系統のサンプルホールド回路は階調基準信号をサンプルホールドすることを特徴とするアクティブマトリクス液晶ディスプレイの階調表示駆動回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はOA機器に適用されるアクティブマトリクス液晶ディスプレイを階調表示させるための液晶駆動回路に関する。

〔従来の技術〕

コンピュータ端末、パソコンの携帯型が普及しており、薄くて軽量で、目に優しい液晶ディスプレイが多量に使用されている。情報表示の内容が高度化されるに伴いカラー表示と階調表示の必要性が高まっている。液晶ディスプレイを駆動する方式は大きくわけて単純マトリクスとアクティブマトリクスの2種類がある。単純マトリクス方式は上下のガラス基板にX方向・Y方向にストライ

ブ状の透明電極を設けて、交差する画素を直接外部から線順次走査により時分割駆動する。アクティブマトリクス方式は各画素にスイッチング素子、例えば薄膜トランジスタ(TFT)を画素毎に設けて、液晶をスタティック駆動する駆動方式である。アクティブマトリクス方式は製造上の難しさがあるが、コントラスト比が大きく、視野角も広いし、表示応答速度も20~30msと高速である。またカラー表示も鮮明で、階調表示も容易であり、高品位な表示品質を持っている。

アクティブマトリクス液晶ディスプレイを階調表示させる駆動方式としては、液晶の電圧透過特性を利用して階調レベルに対応した電圧をデータ線、TFTを介して液晶に印加する電圧変調方式が一般的である。従来この種のデータ線駆動回路としては、アナログの表示信号を液晶の駆動レベルまで増幅し、増幅された一走査線分の表示信号をサンプルホールド回路によりサンプリングし、その電圧を一走査線期間保持して、一走査線上の画素を一度に駆動する構成が取られている。この

ようなアナログ方式のデータ線駆動回路は100本前後の出力線を有するLSIが実用化されている。一方最近最も多く用いられているパソコン(画素数640×400あるいは640×480)の表示データの転送速度は20MHz~30MHzであり、RGBの三原色を考慮すると60~90MHzと極めて高速である。

なお、この種の技術が記載されている文献として、“日立、カタログ、HD66300

(1990)”がある。

〔発明が解決しようとする課題〕

このように高速な表示データをアナログ方式のデータ線駆動回路LSIで実現するには、微細加工を駆使した高速デバイスの使用と同時に、液晶では十数Vの電圧ダイナミックレンジを扱うので高耐圧のデバイスが必要となり、互いに相反する高速・高耐圧のLSIが必要となって、極めて高価なLSIとなる。他の従来方法としては、パソコンの表示はテレビと異なり表現色が、例えば4096色中16色同時表示というように限定さ

れていることから、ディジタル化された表示データを入力するディジタル方式のデータ線駆動方式がある。「日立、カタログ、HD66310

(1990)参照」この方式は、例えば16階調表示の場合、16レベルの階調レベル信号を外部から入力し、4ビットの表示データをデコードして16レベルの階調レベル信号から対応するレベルを選択して、データ線を駆動する構成がとられている。このようにディジタル回路を用いた構成であるので、表示データの転送速度が高速になっても駆動回路の転送速度に見合うまで複数系統の表示データを並列入力して並列処理が簡単にできる。しかし、この構成をLSI化した場合、階調信号を入力するために、16本と入力端子数が増大し、さらに表示データがディジタル化されているのでますますLSIの端子数が増大して、LSIの実装が困難になるという欠点がある。階調信号の入力端子数は階調レベルをnとすると 2^n となるので階調レベルが増えれば増えるほど急激に増大する。このためますますLSIの実装上の問

題が大きくなる。

本発明の目的は、階調レベル信号の生成回路を工夫することにより、外部端子数が少なく、また高速データ転送を必要とするコンピュータ端末の液晶ディスプレイでも容易に駆動できるアクティブマトリクス液晶ディスプレイの階調表示駆動回路を提供することにある。

〔課題を解決するための手段〕

本発明は上述の問題点を解決するため、繰り返し性のある階調基準信号をサンプリングして電圧を保持するn個のサンプルホールド回路を有して各サンプルホールド回路により順次階調基準信号をサンプリングしてn個の階調レベル信号を出力する階調レベル生成回路と、nビットのディジタル表示データをデコードするデコーダ回路と、該デコーダ回路の出力に応じて前記階調レベル信号を選択してアクティブマトリクス液晶ディスプレイのデータ線に出力するマルチプレクサ回路とを設けた構成としている。

〔作用〕

本発明の作用については、次の実施例の説明中の、特に第1図回路の動作説明において詳述する。
〔実施例〕

以下、本発明の実施例を図面を参照して説明する。第1図は本発明の実施例を示す構成図である。第1図では説明を簡単にするために、8階調を表示するための駆動回路で説明する。10は階調レベル信号 V_1, V_2, \dots, V_8 を出力する階調レベル生成回路であり、シフトレジスタ11と8個のサンプルホールド回路12, 13, ..., 19からなる。シフトレジスタ11は8個のレジスタ $R_1 \sim R_8$ を直列に接続した構成であり、クロック信号(CLK2信号)によりスタートパルス信号(SP信号)をレジスタ R_1 から順次 R_2, \dots, R_8 へ転送する。各サンプルホールド回路はアナログスイッチ1、電圧を保持するコンデンサ2、アナログバッファ回路3からなる。サンプルホールド回路12, 13, ..., 19のアナログスイッチ1はそれぞれシフトレジスタ11内のレジスタ R_1, R_2, \dots, R_8 に接続され、レジスタの内容

号 V_1, V_2, \dots, V_8 から一つの信号を3ビットの表示データに基づいて選択する階調レベル選択回路であり、デコーダ回路51、マルチプレクサ回路52からなる。階調レベル選択回路50はラッチ回路LAT1, LAT2, ..., LATnに対応して設けられる。デコーダ回路51はラッチ回路に保持されている3ビットの表示データをデコードする。マルチプレクサ回路52は8個のアナログスイッチをワイヤドオアした構成であり、デコーダ回路51のデコード結果に基づいて8個の内一個のアナログスイッチがONし、対応した階調レベル信号を選択する。60はアナログバッファ回路であり、選択した階調レベル信号をアクティブマトリクス液晶ディスプレイのデータ線に出力する。

第2図は第1図の階調レベル生成回路10の動作を詳細に説明するタイミング図である。第2図を併用しながら第1図の実施例の動作を説明する。8クロック周期のSP信号が第2図のように階調レベル生成回路10に入力されると、CLK2信

でON/OFF制御され、階調基準信号(V_{ref} 信号)をサンプリングする。コンデンサ2はアナログスイッチ1がONのとき、 V_{ref} 信号より電荷がアナログスイッチ1を介して供給される。アナログスイッチ1がOFFになると、サンプリング時の V_{ref} 信号の電圧を保持する。アナログバッファ回路3はコンデンサ2に保持された信号を外部回路へ駆動するためのバッファ回路である。30はn個のレジスタ SR_1, SR_2, \dots, SR_n を直列に接続したシフトレジスタであり、3ビットのディジタル表示データ D_1, D_2, D_3 を表示データの転送クロックであるCLK1信号により、 SR_1 から順次 SR_2, \dots, SR_n に転送する。40はn個のラッチ回路LAT1, LAT2, ..., LATnからなるラッチ回路群である。一走査期間の表示データがシフトレジスタ30に転送されると、ロードパルス信号(LP信号)によりレジスタ SR_1, SR_2, \dots, SR_n のデータがそれぞれラッチ回路LAT1, LAT2, ..., LATnに一走査期間毎に転送される。50は階調レベル信

号に同期してSP信号の内容が順次レジスタ R_1, R_2, \dots, R_8 へ転送され、各レジスタ R_i はCLK2信号の一周期分のパルスを順次出力する。SP信号は8クロック周期の繰り返し信号であるので、各レジスタ R_i は8クロック周期で第2図のようなパルスを出力する。階調基準信号 V_{ref} 信号として第2図に示す三角波を考える。レジスタ R_1 がパルスを出力すると、サンプルホールド回路12のアナログスイッチ1がONし、 V_{ref} 信号線から電荷がコンデンサ2に供給され、アナログスイッチ1がOFFすると電荷がコンデンサ2に保持される。

従って、アナログスイッチ1によるサンプリング時の電圧 V_1 が保持され、アナログバッファ回路3を介して階調レベル選択回路へ供給される。以下レジスタ $R_2 \sim R_8$ が順次パルスを出力し、サンプルホールド回路13~19は V_{ref} 信号を順次サンプリングして階調レベル信号 $V_2 \sim V_8$ を出力する。このような動作を8クロック周期毎に繰り返すことにより、階調レベル生成回路10

はVref信号の電圧値を均等に分割して得られた8レベルの階調レベル信号を出力する。デコーダ回路51は3ビットの表示データをデコードして、マルチプレクサ回路52を駆動する。例えば、表示データが“011”だとするとデコーダ回路51の3番端子がONし、対応するマルチプレクサ回路52のアナログスイッチだけがONして階調レベル信号V3が選択される。この階調レベル信号V3はアナログバッファ回路60により液晶ディスプレイのデータ線に供給される。

以下同様にして3ビットの表示データに基づいて階調レベル信号が階調レベル選択回路50で選択される。液晶を駆動するには極性の異なる信号を交互に印加する交流駆動が必要になるが、この場合第2図の右側部に示すように負極性の三角波をVref信号端子に印加すればよい。第2図のタイミング例では、一走査期間(1H、Hsは水平同期信号)毎に階調レベル信号の正負極性が反転する。しかしながら、アクティブマトリクス液晶ディスプレイに用いられるTFTの動作速度は遅

く、またデータ線の配線容量、配線抵抗が大きいいため、駆動回路が画素に所定の電荷を供給するのに十数 μ sオーダーの時間がかかる。このため、一走査期間の前半で階調レベル信号を安定にすることが必要であり、SP信号とVref信号の繰り返し周期は数 μ s以下とする必要がある。

第3図は本発明の第2の実施例を示す構成図であり、前述した第1図のVref信号、SP信号の制限条件を無くした構成図である。第3図では階調レベル生成回路だけを示しており、他の回路は第1図の構成図と同一であるので、以下では説明を省くことにする。第4図は第3図の階調レベル生成回路の動作を示すタイミング図である。以下、第3図と第4図を用いて第2の実施例の構成と動作を説明する。10は階調レベル生成回路、11は第1図の実施例で説明したシフトレジスタである。12-1、12-2……19-1、19-2はサンプルホールド回路であり、いずれもアナログスイッチ1、コンデンサ2、アナログバッファ回路3から構成される。20及び21はアナログ

スイッチであり、20と21でマルチプレクサ回路を構成し、各サンプルホールド回路に接続される。選択信号(FR信号)がONの時は、サンプルホールド回路12-1、13-1……19-1にホールドされた正極性の階調レベル信号(Vi)が選択され、階調レベル信号線V1、V2……V8に出力する。FR信号がOFFの時は、サンプルホールド回路12-2、13-2……19-2にホールドされた負極性の階調レベル信号(-Vi)が選択され、階調レベル信号線V1、V2……V8に出力する。22及び23はAND回路であり、22と23でスイッチを構成している。FR信号がONの時は、サンプルホールド回路12-2、13-2……19-2のアナログスイッチ1はシフトレジスタ11の各レジスタに接続されてON/OFF制御され、Vref信号をサンプリングする。他方のサンプルホールド回路12-1、13-1……19-1はアナログスイッチ1がシフトレジスタ11と切離されるので、FR信号がOFF時にVref信号をサンプリング

した電圧を保持する。FR信号がOFFの時は、逆の動作を行い、サンプルホールド回路12-1、13-1……19-1はVref信号をサンプリングし、サンプルホールド回路12-2、13-2……19-2は電圧を保持する。つぎに第4図を用いて、階調レベル信号V5に着目して動作を説明する。Vref信号として、一走査期間で正負の極性を繰り返す三角波を考える。液晶の交流化信号に相当するFR信号がONの時、サンプルホールド回路15-1はアナログスイッチ1がOFFとなるので、一つ前の走査期間で正極性のVref信号をサンプリングした電圧V5を保持し、この電圧が階調レベル信号V5に出力される。またサンプルホールド回路15-2はアナログスイッチ1がシフトレジスタ11の制御を受けるのでサンプリング動作を行う。すなわち第2図で説明したように所定のパルスを入力すると、負極性のVref信号をサンプリングし、電圧-V5を保持する。次の周期でFR信号がOFFになると、サンプルホールド回路15-1と15-2は第4図

に示すように逆の動作をし、階調レベル信号 V5 は負極性の電圧 -V5 を出力する。以上説明したように、第 3 図の階調レベル生成回路では、第 1 図の実施例と異なり一つ前の走査期間で階調レベル選択回路 50 へ出力する階調レベル信号が確定する。

尚、本発明の実施例では Vref 信号、SP 信号及び CLK 2 信号を外部から供給する構成としたが、発信器等を用いて内部で発生させてもよいことは明白である。また第 2 の実施例である第 3 図の構成では、同一構成のサンプルホールド回路を 2 個用いて、一方のサンプルホールド回路がサンプリングしている間、他方は電圧を保持して階調レベル選択回路に階調レベル信号を出力する構成とした。他の構成として、2 個のコンデンサと 4 個のアナログスイッチを設けて（例えば、NEC 電子デバイスの μ PD16400 のデータシート）、一方のコンデンサに Vref 信号を供給している間、他方のコンデンサに保持している電圧をアナログバッファ回路を介して階調レベル信号を出

力しても同様の動作をする。また第 4 図のタイミング図は FR 信号、Vref 信号の極性を水平走査期間毎に変える実施例であるが、これを垂直走査期間で極性を変えても同様の動作をするのは明白である。

〔発明の効果〕

以上の説明から明らかなように、本発明のデジタル表示データによる階調表示駆動回路は、繰り返し性のある階調基準信号をサンプリングして電圧を保持する n 個のサンプルホールド回路を有し、各サンプルホールド回路は順次階調基準信号をサンプリングして n 個の階調レベル信号を出力する階調レベル生成回路を設け、n ビットのデジタル表示データをデコードするデコーダ回路とマルチプレクサ回路とにより階調レベル信号を選択する構成としているので以下の利点がある。階調レベルが増大しても階調レベル信号を供給する外部端子数は 2 の n 乗で増えるのではなく階調基準信号、スタートパルス信号及びクロック信号の値が 3 本でよいので、外部端子数が大幅に削減で

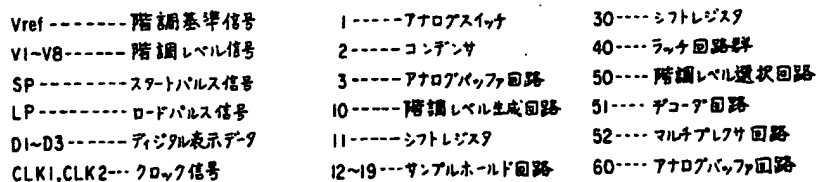
きる。さらに階調レベル生成回路はシフトレジスタ、アナログスイッチ、コンデンサ及びアナログアンプから構成されるので、本発明による駆動回路を LSI 化するのは容易である。また外部端子数が少ないので安価な LSI となり、LSI の実装も簡単になる。他の利点は、表示データがデジタルであるので、表示画素数が多く、高速なデータ転送速度を必要とする場合にも、表示データを並列に複数系統入力させて並列処理させることにより、容易に対応できる。このときのハードウェア負担はシフトレジスタとラッチ回路群のロジック回路であり、LSI 化しても値かである。さらに他の利点は、液晶の電圧透過特性に合わせてリニアな階調表示特性を得るように電圧値を補正するいわゆる γ 補正を簡単に行えることにある。この方法には二つの方法がある。第 1 の方法は階調基準信号に γ 補正を施した三角波を印加する方法である。第 2 の方法は階調基準信号をサンプリングするクロックの間隔を γ 補正值に合わせて変える方法である。

4. 図面の簡単な説明

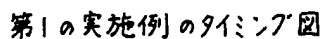
第 1 図は本発明の第 1 の実施例の回路構成図、第 2 図は第 1 図中の階調レベル生成回路の動作を示すタイミング図、第 3 図は本発明の第 2 の実施例の回路構成図、第 4 図は第 3 図回路の動作を示すタイミング図である。

〔符号の説明〕

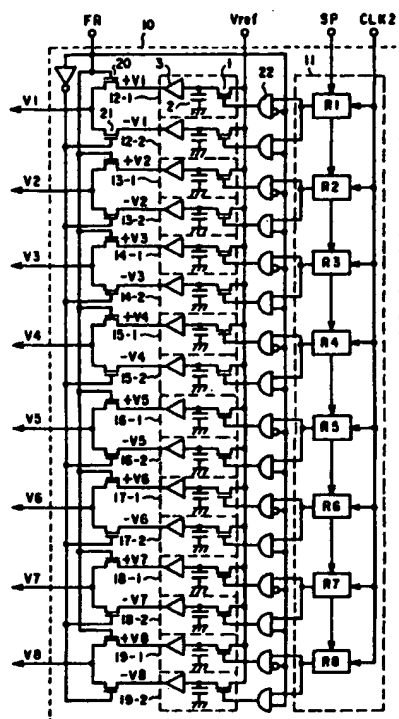
- 1 … アナログスイッチ
- 2 … コンデンサ
- 3 … アナログバッファ回路
- 10 … 階調レベル生成回路
- 11 … シフトレジスタ
- 12 ~ 19 … サンプルホールド回路
- 20, 21 … アナログスイッチ
- 30 … シフトレジスタ
- 40 … ラッチ回路群
- 50 … 階調レベル選択回路
- 51 … デコーダ回路
- 52 … マルチプレクサ回路
- 60 … アナログバッファ回路



第 1 圖

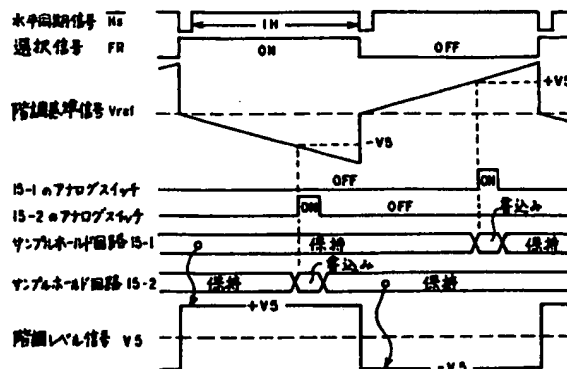


第 2 図



第2の実施例の構成図

第 3 図



第2の実施例のタイミング図

第 4 図